

대한민국 특허청  
KOREAN INTELLECTUAL  
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 특허출원 2002년 제 39146 호  
Application Number PATENT-2002-0039146

출원년월일 : 2002년 07월 06일  
Date of Application JUL 06, 2002

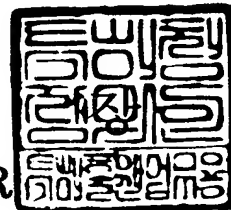
출원인 : 박병국 외 2명  
Applicant(s) PARK BYUNG GOOK, et al.



2002      년      08      월      14      일

특      허      청

COMMISSIONER



## 【서지사항】

【서류명】 서지사항 보정서

【수신처】 특허청장

【제출일자】 2002.07.11

## 【제출인】

【성명】 박병국

【출원인코드】 4-2000-027578-9

【사건과의 관계】 출원인

## 【제출인】

【성명】 이종덕

【출원인코드】 4-1998-012017-1

【사건과의 관계】 출원인

## 【제출인】

【성명】 김경록

【출원인코드】 4-2002-025389-1

【사건과의 관계】 출원인

## 【대리인】

【성명】 조담

【대리인코드】 9-1998-000546-2

【포괄위임등록번호】 2000-032148-6

【포괄위임등록번호】 2000-032115-0

【포괄위임등록번호】 2002-052731-6

## 【사건의 표시】

【출원번호】 10-2002-0039146

【출원일자】 2002.07.06

【심사청구일자】 2002.07.06

【발명의 명칭】 음 미분 전도도를 갖는 반도체 소자의 제조 방법

## 【제출원인】

【접수번호】 1-1-02-0215899-55

【접수일자】 2002.07.06

【보정할 서류】 특허출원서

**【보정할 사항】****【보정대상항목】**

출원인

**【보정방법】**

정정

**【보정내용】****【제출인】****【성명】**

박병국

**【출원인코드】**

4-2000-027578-9

**【제출인】****【성명】**

이종덕

**【출원인코드】**

4-1998-012017-1

**【제출인】****【성명】**

김경록

**【출원인코드】**

4-2002-025389-1

**【보정할 사항】****【보정대상항목】**

발명자

**【보정방법】**

정정

**【보정내용】****【발명자】****【성명】**

박병국

**【출원인코드】**

4-2000-027578-9

**【발명자】****【성명】**

이종덕

**【출원인코드】**

4-1998-012017-1

**【발명자】****【성명】**

김경록

**【출원인코드】**

4-2002-025389-1

**【취지】**

특허법시행규칙 제13조·실용신안법시행규칙 제8조의 규정에 의하여 위와 같 이 제출합니다. 대리인 조담 (인)

**【수수료】****【보정료】**

0 원

**【기타 수수료】**

원

**【합계】**

0 원

## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2002.07.06
【발명의 명칭】	음 미분 전도도를 갖는 반도체 소자의 제조 방법
【발명의 영문명칭】	Method for manufacturing semiconductor device with negative differential conductance or negative transconductance
【출원인】	
【성명】	박병국
【출원인코드】	4-2000-027578-9
【출원인】	
【성명】	이종덕
【출원인코드】	4-1998-012017-1
【출원인】	
【성명】	최경록
【출원인코드】	4-2002-025389-1
【대리인】	
【성명】	조담
【대리인코드】	9-1998-000546-2
【포괄위임등록번호】	2000-032148-6
【포괄위임등록번호】	2000-032115-0
【포괄위임등록번호】	2002-052731-6
【대리인】	
【성명】	정태련
【대리인코드】	9-1998-000490-2
【포괄위임등록번호】	2000-032146-1
【포괄위임등록번호】	2000-032113-5
【포괄위임등록번호】	2002-052730-9

**【대리인】**

**【성명】** 박미숙  
**【대리인코드】** 9-1999-000320-8  
**【포괄위임등록번호】** 2000-032151-3  
**【포괄위임등록번호】** 2000-032116-7  
**【포괄위임등록번호】** 2002-052732-3

**【발명자】**

**【성명】** 박병국  
**【출원인코드】** 4-2000-027578-9

**【발명자】**

**【성명】** 이종덕  
**【출원인코드】** 4-1998-012017-1

**【발명자】**

**【성명】** 최경록  
**【출원인코드】** 4-2002-025389-1

**【심사청구】**

청구

**【취지】**

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인  
 조담 (인) 대리인  
 정태련 (인) 대리인  
 박미숙 (인)

**【수수료】**

**【기본출원료】** 20 면 29,000 원  
**【가산출원료】** 18 면 18,000 원  
**【우선권주장료】** 0 건 0 원  
**【심사청구료】** 14 항 557,000 원  
**【합계】** 604,000 원  
**【감면사유】** 개인 (70%감면)  
**【감면후 수수료】** 181,200 원

**【첨부서류】**

1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명은 음 미분 전도도를 갖는 반도체 소자의 제조방법에 관한 것으로, SOI(Silicon-On-Insulator)기판을 이용하여 제조 공정을 간단히 할 수 있고, 채널에 주입되는 불순물 농도를 전자나 정공이 존재할 수 있는 유효 상태 농도보다 높게 주입함으로써, p+-n+ 접합 장벽을 터널링 장벽으로 이용하여 터널링 소자를 구현할 수 있고, 상온에서 음 미분 전도도 특성을 구현할 수 있는 장점이 있어, 전압에 따라 온(On)/오프(Off)할 수 있는 소자를 사용하는 SRAM 또는 로직 디바이스에 적용할 수 있는 효과가 있다.

더불어, 본 발명의 제조 방법은 소자의 축소화가 용이하고, 공정의 재현성과 양산성을 확보할 수 있으며, 이와 동시에 게이트, 소스/드레인 및 채널 영역이 자기 정렬되어 형성됨으로, 게이트 피치 또한 줄일 수 있는 효과가 발생한다.

게다가, 본 발명에 의해 제조된 반도체 소자는 채널 부분을 양자점으로 하고, 소스/드레인과 채널 사이에 존재하는 두 개의 p+-n+ 접합을 터널링 장벽으로 이용하여 단전자 트랜지스터의 특성도 구현할 수 있는 효과도 발생한다.

**【대표도】**

도 5h

**【색인어】**

음, 미분, 전도도, 반도체, 터널링, 단전자

**【명세서】****【발명의 명칭】**

음 미분 전도도를 갖는 반도체 소자의 제조 방법{Method for manufacturing semiconductor device with negative differential conductance or negative transconductance}

**【도면의 간단한 설명】**

도 1은 실리콘 터널 접합을 이용한 소자의 기본적인 구조 및 열평형 상태에서의 에너지 밴드를 도시한 도면이다.

도 2는 도 1에 도시된 소자의 전류-전압 특성도이다.

도 3은 종래의 실리콘 표면 접합 터널링 소자의 사시도이다.

도 4는 도 3에 도시된 소자의 드레인 전압에 대한 음 미분 전도도 특성도이다.

도 5a 내지 도 5h는 본 발명의 제 1 실시예에 따른 음 미분 전도도를 갖는 반도체 소자의 공정 사시도이다.

도 6은 도 5e의 5e-5e'선 단면도이다.

도 7a 내지 도 7f는 본 발명의 제 2 실시예에 따른 음 미분 전도도를 갖는 반도체 소자의 공정 사시도이다.

도 8은 본 발명에 따라 P형 채널 영역과 N형 소스/드레인 영역을 가지는 음 미분 전도도를 갖는 반도체 소자에 전압이 인가되지 않은 열평형 상태의 에너지 밴드 다이어그램이다.

도 9a 내지 도 9e는 도 8의 음 미분 전도도를 갖는 반도체 소자가 터널링 소자로서 작용하는 상태의 에너지 밴드 다이어그램이다.

도 10은 도 9a 내지 9e와 연계하여 게이트 전압을 증가시켰을 때 나타나는 드레인 전류의 모식도이다.

도 11은 본 발명에 따른 음 미분 전도도를 갖는 반도체 소자가 게이트의 길이와 폭을 축소하여 작은 드레인 전압이 인가되었을 때의 에너지 밴드 다이어그램이다.

도 12는 도 11의 소자가 단전자 트랜지스터로 구현되는 모식도이다.

도 13은 본 발명에 따른 음 미분 전도도를 갖는 반도체 소자의 게이트 전압에 대한 드레인 전류의 특성을 측정한 그래프이다.

#### <도면의 주요부분에 대한 부호의 설명>

10,31 : 실리콘 지지대	11,32 : 매몰 산화막
12 : 소스	13 : 드레인
14 : 채널 영역	15 : 게이트 산화막
16,37 : 게이트	30 : SOI(Silicon on Insulator)기판
33 : 단결정 실리콘층	33a : 소스 영역
33b : 채널 영역	33c: 드레인 영역
34 : 희생 산화막	35,42 : 절연막
36a,39 : 측벽 스페이서(Spacer)	36b : 게이트 절연막



**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <23>        본 발명은 음 미분 전도도를 갖는 반도체 소자의 제조 방법에 관한 것으로, 보다 상세하게는 SOI(Silicon-On-Insulator)기판을 이용하여 제조 공정을 간단히 할 수 있고, 채널에 주입되는 불순물 농도를 전자나 정공이 존재할 수 있는 유효 상태 농도보다 높게 주입하여, p<sup>+</sup>-n<sup>+</sup> 접합 장벽을 터널링 장벽으로 이용하여 상온에서 음 미분 전도도를 보이는 터널링 소자를 구현할 수 있는 음 미분 전도도를 갖는 반도체 소자의 제조 방법에 관한 것이다.
- <24>        현재, 상보형 금속 산화물 반도체(Complementary Metal Oxide Semiconductor, 이하 'CMOS'라 칭함.) 소자는 막대한 인프라를 구축하고 있는 실리콘 반도체 소자의 핵심 요소로서 대부분의 시장을 점유하고 있으며, 고성능, 고집적화의 일환으로 소자 크기의 축소화가 지속적으로 진행되고 있다.
- <25>        그러나, 이러한 지속적인 축소는 소자의 양자 역학적 및 통계 역학적 문제들을 더욱 심화시킬 것이고, 이들에 의한 소자 동작 및 축소의 한계가 가까운 미래에 다가올 것으로 예상된다.
- <26>        이에, CMOS 소자의 축소에 따른 한계점을 극복하기 위해 새로운 나노 기능 소자의 연구가 요구되고 있다.

- <27> 그러나, CMOS 소자가 가지는 지대한 장점으로 인해, 한 동안은 새로운 나노 기능 소자와 공존하면서 CMOS가 계속 사용될 것이며, 이러한 혼성 집적 회로(Hybrid integrated circuit)에 대한 연구가 계속되어야 한다.
- <28> 따라서, 가까운 미래에 활용될 나노 소자(Nano device)의 연구라는 측면에서, 실리콘 CMOS 기술에 기반을 둔 차세대 나노 기능 소자의 연구가 활발히 진행되고 있다.
- <29> 현재, 단전자 트랜지스터(Single Electron Transistors, SET)는 금속 산화물 반도체 전계 효과 트랜지스터(Metal Oxide Semiconductor Field Effect Transistor, 이하 'MOSFET'라 칭함.)의 후속 세대로서 가장 큰 가능성을 보이는 소자이며, 나노 기능 소자 중 하나이다.
- <30> 두 개의 인접한 터널 접합 사이에 나노미터 스케일의 양자점(Quantum dot)을 가지는 단전자 트랜지스터는 낮은 전압에서 전자 하나 하나의 움직임이 조절되기 때문에, 저 전력 구동이 가능하고 소자의 축소화에 따라 동작 특성이 강화되어 기존의 고전적 소자가 안고 있는 난제들을 해결할 수 있는 가능성을 가지고 있으며, 현재의 주도 기술인 실리콘 기반 기술과 호환성이 가장 높다는 장점이 있다.
- <31> 하지만, 실제적인 활용을 위해서는 상온 동작이 가능해야 하고, 이를 위해 수-수십 nm 크기의 양자점을 원하는 위치에 재현성 있게 형성시키는 기술이 요구된다.
- <32> 한편, 단전자 소자 이외에 나노 기능 소자로서 대두되고 있는 실리콘 소자로는 접합에서의 양자 역학적인 터널링을 이용하는 소자가 있다.
- <33> 도 1은 실리콘 터널 접합을 이용한 소자의 기본적인 구조 및 열평형 상태에서의 에너지 밴드를 도시한 도면으로써, 1976년 일본의 L.Esaki에 의해 최초로 제안된

소자로서, Esaki 터널 접합 소자의 경우 기본적으로 두 단자 소자로서 소자의 능동 동작에 문제가 있다.

<34> 도 2는 도 1에 도시된 소자의 전류-전압 특성도로써, 높은 불순물 농도를 가지는 n형과 p형 실리콘을 접합시켜, 순방향으로 전압을 증가시키면, 음 미분 전도도 특성을 보이며, 크기에 관계없이 상온에서도 쉽게 음 미분 전도도 특성을 구현할 수 있다는 장점이 있다.

<35> 도 3은 종래의 실리콘 표면 접합 터널링 소자의 사시도로써, 실리콘 지지대(10)의 상부에 매몰 산화막(11)이 있고, 그 매몰 산화막(11)의 상부에 소스(12)와 드레인(13)이 이격되어 형성되어 있다.

<36> 게이트(16)는 게이트 산화막(15)을 개재하고 드레인(13)의 상부에 형성되어, 게이트 전압( $V_g$ )이 인가되면, n+ 소스(12)와 p+ 드레인(13) 사이에는 반전층(Inversion Layer) 즉, 채널(14)이 형성되는 세 단자 능동 소자이다.

<37> 도면의 '17'은 필드산화막이다.

<38> 도 4는 도 3에 도시된 소자의 드레인 전압에 대한 미분 전도도 특성도로써, 상온에서 음 미분 전도도 특성을 나타낸다.

<39> 그러나, 이러한 세 단자를 가지는 실리콘 표면 접합 터널링 소자의 경우, 소스와 드레인에 각각 반대의 극성을 가지는 불순물을 주입하여야 하므로, 공정이 복잡해지고, 이에 따라 소자의 축소화에 어려움이 있었다.

<40> 한편, 기존에 발표되었던 단전자 트랜지스터의 제조 방법은 상온 동작을 위해 우연적인 방법 즉, 다결정 실리콘의 그레인(Grain)을 이용하거나, 전자선 묘화의 불균일성을

이용하는 방법, 또는 수 nm 정도의 얇은 SOI(Silicon on Insulator) 박막 표면의 기복에 따른 포텐셜(Potential) 변화를 이용하는 방법 등으로 구현하였으나, 재현성에 문제가 있었다.

<41> 그리고, 원자력 현미경(Atomic Force Microscope, AFM)이나 스캔 터널 현미경(Scanning Tunneling Microscope, STM)에 의하여 단전자 트랜지스터를 제조하는 방법은 공정 속도가 느려 양산성에 문제가 있었다.

<42> 더불어, 패턴에 따른 산화 공정을 이용한 양자점 형성방법은 패터닝과 산화를 통해 재현성과 양산성의 문제는 없지만, 아직 40K 정도의 낮은 온도에서만 동작하며, 자기 정렬 구조가 아닌 상대적으로 큰 상위 게이트와 측면 전극으로 인해 전체 소자가 차지하는 면적을 줄이기 어려운 단점이 있었다.

#### 【발명이 이루고자 하는 기술적 과제】

<43> 이에 본 발명은 상기한 바와 같은 문제점을 해결하기 위하여 안출된 것으로, SOI(Silicon-On-Insulator)기판을 이용하여 제조 공정을 간단히 할 수 있고, 채널에 주입되는 불순물 농도를 전자나 정공이 존재할 수 있는 유효 상태 농도(Effective density of state)보다 높게 주입하여, p<sup>+</sup>-n<sup>+</sup> 접합 장벽을 터널링 장벽으로 이용하여 상온에서 음 미분 전도도를 보이는 터널링 소자를 구현할 수 있는 반도체 소자의 제조방법을 제공하는 데 그 목적이 있다.

<44> 본 발명의 다른 목적은 채널 부분을 양자점으로 하고, 소스/드레인과 채널 사이에 존재하는 두 개의 p<sup>+</sup>-n<sup>+</sup> 접합을 터널링 장벽으로 이용하여 단전자 트랜지스터의 특성을 구현할 수 있는 반도체 소자의 제조방법을 제공하는 데 있다.

- <45> 상기한 본 발명의 목적을 달성하기 위한 바람직한 양태(樣態)는, 실리콘 지지대, 매몰 산화막과 단결정 실리콘층이 순차적으로 이루어진 SOI(Silicon on Insulator)기판의 단결정 실리콘층을 식각하여 각각 이격된 소스 영역과 드레인 영역을 형성하고, 상기 소스 및 드레인 영역과 각각 연결된 미세 선폭을 가지는 채널 영역을 형성하는 제 1 단계와;
- <46> 상기 소스 영역, 채널 영역과 드레인 영역의 상부에 전자 또는 정공이 존재할 수 있는 유효 상태 농도보다 높은 농도로 이온 주입하여 채널 영역에 불순물을 주입하는 제 2 단계와;
- <47> 상기 소스 영역, 채널 영역, 드레인 영역과 매몰 산화막의 상부에 제 1 절연막을 형성하고 식각하여 상기 소스영역, 채널 영역 및 드레인 영역의 측면에 측벽 스페이서를 형성하고, 상기 소스 영역, 채널 영역, 드레인 영역과 측벽 스페이서를 포함하는 전면에 제 2 절연막을 형성하여, 채널 영역 상부에 게이트 절연막을 형성하는 제 3 단계와;
- <48> 상기 제 2 절연막의 상부를 포함하는 전면에 게이트 물질을 증착하고, 상기 증착된 게이트 물질을 식각하여 채널 영역과 수직한 방향으로 미세 선폭을 가지는 게이트를 형성하는 제 4 단계와;
- <49> 상기 소스 영역과 드레인 영역에 상기 제 2 단계의 불순물과 반대의 극성의 불순물 이온을 주입하는 제 5 단계로 구성된 음 미분 전도도를 갖는 반도체 소자의 제조방법이 제공된다.
- <50> 상기한 본 발명의 목적을 달성하기 위한 바람직한 다른 양태(樣態)는, 실리콘 지지대, 매몰 산화막과 단결정 실리콘층이 순차적으로 이루어진 SOI(Silicon on Insulator)

기판의 단결정 실리콘층을 식각하여 각각 이격된 소스 영역과 드레인 영역을 형성하고, 상기 소스 및 드레인 영역과 각각 연결된 미세 선폭을 가지는 채널 영역을 형성하는 제 1 단계와;

<51> 상기 소스 영역, 채널 영역과 드레인 영역의 상부에 전자 또는 정공이 존재할 수 있는 유효 상태 농도보다 높은 농도로 이온 주입하여 소스 및 드레인 영역에 불순물을 주입하는 제 2 단계와;

<52> 상기 소스 영역, 채널 영역, 드레인 영역과 매몰 산화막의 상부에 제 1 절연막을 형성하고 식각하여 상기 소스 영역, 채널 영역 및 드레인 영역의 측면을 감싸 채널 영역 측면에 측벽 스페이서를 형성하는 제 3 단계와;

<53> 상기 소스 영역, 채널 영역, 드레인 영역, 제 1 절연막과 매몰 산화막의 상부를 포함하는 전면에서 제 2 절연막을 증착하고, 상기 채널 영역과 수직한 방향으로 상기 제 2 절연막을 식각하여 상기 채널 영역을 노출시키는 제 4 단계와;

<54> 상기 제 2 단계의 불순물과 반대의 극성의 불순물 이온을 유효 상태 농도보다 높은 농도로 상기 채널 영역에 주입하는 제 5 단계와;

<55> 상기 채널 영역의 상부에 게이트 절연막을 형성하고, 상기 채널 영역과 게이트 절연막의 상부에 게이트 물질을 증착하여, 게이트를 형성하는 제 6 단계로 구성되어 있는 것을 특징으로 하는 음 미분 전도도를 갖는 반도체 소자의 제조방법이 제공된다.

#### 【발명의 구성 및 작용】

<56> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 설명하면 다음과 같다

<57> [발명의 제 1 실시예]

<58> 도 5a 내지 도 5h는 본 발명의 제 1 실시예에 따른 음 미분 전도도를 갖는 반도체 소자의 공정 사시도로써, 먼저, 도 5a에 도시된 바와 같이, 실리콘 지지대(31), 매몰 산화막(32)과 단결정 실리콘층(33)이 순차적으로 이루어진 SOI(Silicon on Insulator)기판(30)을 준비한다.

<59> 그리고, 상기 단결정 실리콘층(33)을 전자선 묘화 방법이나 측벽을 이용한 미세 패터닝 기술로 식각하여 소스 영역(33a), 미세 선폭을 가지는 채널 영역(33b)과 드레인 영역(33c)을 형성한다(도 5b).

<60> 그 후, 회생 산화막(34)을 소스 영역(33a), 채널 영역(33b)과 드레인 영역(33c)을 포함한 전면에 약 50Å 두께로 형성한 후, 전면에 전자나 정공이 존재할 수 있는 유효 상태 농도(Effective density of state)보다 높은 농도로 이온 주입하여 채널 영역(33b)의 불순물을 정의한다(도 5c).

<61> 상기 소스 영역(33a), 채널 영역(33b)과 드레인 영역(33c)은 매몰 산화막(32)으로부터 400Å의 단차로 형성되어 있기 때문에, 50Å 두께의 회생 산화막(34)은 상기 소스 영역(33a), 채널 영역(33b)과 드레인 영역(33c)의 상부에서 이온주입에 따른 손상(Damage)을 방지할 수 있다.

<62> 여기서, 실리콘의 유효 상태 농도는, 가전자대가  $1.08 \times 10^{19}/\text{cm}^3$ 이고, 전도대인 경우  $2.8 \times 10^{19}/\text{cm}^3$ 이므로, 상기 채널 영역(33b)에는  $1 \times 10^{20}/\text{cm}^3$  이상의 농도를 가지는 불순물이 도핑(Doping)되도록 이온 주입을 한다.

- <63> 이 때, P 형 채널 영역을 형성하는 경우는 P 형 불순물 (B,  $\text{BF}_2^+$ , In 등)을, N형 채널 영역을 형성하는 경우는 N 형 불순물 ( $\text{As}_2^+$ , As, P 등)을 주입하게 된다.
- <64> 그 다음, 상기 희생 산화막(34)의 상부에 제 1 절연막(35)을 600Å 두께로 형성하면, 상기 제 1 절연막(35)은 소스 영역(33a), 채널 영역(33b), 드레인 영역(33c)과 매몰 산화막(32)을 감싸게 된다(도 5d).
- <65> 연이어서, 상기 제 1 절연막(35)을 식각하여 채널 영역(33b) 측면에 측벽 스페이서를 형성한다(도 5e).
- <66> 이 때, 상기 소스 영역(33a), 채널 영역(33b), 드레인 영역(33c)이 노출되고, 그 측면을 감싸도록 상기 제 1 절연막(35)은 제거됨으로써, 상기 채널 영역(33b)의 상부에는 게이트 절연막이 형성되질 않는다.
- <67> 이 후, 상기 소스 영역(33a), 채널 영역(33b), 드레인 영역(33c)과 측벽 스페이서를 포함하는 전면에 제 2 절연막을 형성하여, 채널 영역(33b) 상면에 게이트 절연막(36b)을 형성한다(도 5f).
- <68> 도 5e와 5f의 공정을 수행하면, 도 5f의 5f-5f'선 단면도인 도 6과 같이, 채널 영역(33b)의 측면에는 측벽 스페이서(36a)가 형성되고, 채널 영역(33a)의 상면에는 게이트 절연막(36b)이 형성된다.
- <69> 이 때, 상기 게이트 절연막(36b)은 소스 영역(33a), 채널 영역(33b)과 드레인 영역(33c)의 상부를 감싸게 된다.
- <70> 도 5g에 도시된 바와 같이, 상기 제 2 절연막의 상부를 포함하는 전면에 게이트 물질을 증착하고, 전자선 묘화(描畵) 방법이나 측벽을 이용한 미세 패터닝 기술을 이용하



여 상기 증착된 게이트 물질을 제거하여 채널 영역(33b)과 수직한 방향으로 미세 선폭을 가지는 게이트(37)가 형성된다.

<71> 여기서, 상기 게이트 물질은 다결정 또는 비정질 실리콘으로 증착한다.

<72> 마지막으로, 상기 게이트 절연막(36b)과 게이트(37)를 포함하는 전면의 상부에 제 2 절연막을 형성하고, 상기 제 2 절연막을 식각하여, 게이트(37)의 모든 측면에 측벽 스페이서(39)를 형성한 다음, 전면에 불순물을 이온 주입하여 자기 정렬 방식으로 소스 영역(33a)과 드레인 영역(33c)에 불순물을 주입한다(도 5h).

<73> 전술된 제 1과 2 절연막은  $\text{SiO}_2$ , SIN과  $\text{N}_2\text{O}$  중 선택된 어느 하나를 사용하는 것이 바람직하다.

<74> 이 때, 전술된 불순물 주입과 마찬가지로, N 형 소스/드레인 영역을 형성하는 경우는 N형 불순물 ( $\text{As}_2^+$ , As, P)을, P형 소스/드레인 영역을 형성하는 경우는 P형 불순물 (B,  $\text{BF}_2^+$ )을 주입하게 된다.

<75> 그러므로, 채널 영역에 P형 불순물을 도핑하였다면, 소스/드레인 영역에는 N형 불순물을 주입한다.

<76> 따라서, 본 발명의 제 1 실시예에서는 미세한 선폭을 가지는 채널 측벽에 절연막으로 측벽 스페이서(36a)가 형성됨으로써, 게이트(37)가 채널 영역에 수직으로 지날 때 단차를 완만하게 할 수 있고, 더불어 게이트 정전 용량을 줄일 수 있는 장점이 있다.

<77> 그리고, 본 발명의 제 1 실시예에서는 게이트(37)의 선폭이 충분히 길다면 게이트(37)의 모든 측면에 측벽 스페이서(39)를 형성하지 않고, 소스 영역(33a)/드레인 영역(33c)에 불순물 영역 형성을 위한 이온 주입을 시행할 수 있다.

<78> [발명의 제 2 실시예]

<79> 본 발명의 제 1 실시예에서는 채널영역(33b)에 불순물 이온 주입을 하고, 미세 선평의 게이트(37)를 형성한 후, 소스/드레인 영역(33a,33c)에 이온 주입을 시행하는 경우, 불순물 활성화를 위한 열 공정에서 소스/드레인 영역(33a,33c)의 불순물이 과도하게 측면으로 확산되어, 채널 영역(33b)이 소스/드레인 영역의 불순물로 잠식당하는 문제가 발생할 수 있다.

<80> 이러한 문제를 해결하기 위해 채널 이온 주입과 소스/드레인 이온 주입의 순서를 바꾸는 방법을 본 발명의 제 2 실시예에서는 구현하였다.

<81> 도 7a 내지 도 7f는 본 발명의 제 2 실시예에 따른 음 미분 전도도를 갖는 반도체 소자의 공정 사시도이다.

<82> 전술된 도 5c의 공정 후(즉, 희생 산화막(34)을 형성한 후)에, 도 7a에 도시된 바와 같이, 전면에 전자나 정공이 존재할 수 있는 유효 상태 농도보다 높은 농도로 이온 주입하여 소스/드레인 영역(33a,33c)에 불순물 주입을 수행한다.

<83> 이 때, 전술된 불순물 주입과 동일하게, N형 소스/드레인 영역을 형성하는 경우는 N형 불순물 ( $As_2^+$ , As, P)을, P형 소스/드레인 영역을 형성하는 경우는 P형 불순물(B,  $BF_2^+$ )을 주입하게 된다.

<84> 그 후에, 상기 소스 영역(33a), 채널 영역(33b), 드레인 영역(33c)과 매몰 산화막(32)이 포함하는 전면에 제 1 절연막(35)을 형성한다(도 7b).

<85> 그 다음, 상기 제 1 절연막(35)을 식각하여 채널 영역(33b) 측면에 측벽 스페이서를 형성한다(도 7c).

- <86> 이 때, 상기 소스 영역(33a), 채널 영역(33b), 드레인 영역(33c)이 노출되고, 그 측면을 감싸도록 상기 제 1 절연막(35)은 제거됨으로써, 상기 채널 영역(33b)에는 게이트 절연막이 형성되질 않는다.
- <87> 여기서, 상기 희생 산화막은 공정상, 상기 소스 영역(33a), 채널 영역(33b)과, 드레인 영역(33c)의 상부에 남아 있을 수 있다.
- <88> 연이어, 상기 소스 영역(33a), 제 1 절연막(35), 드레인 영역(33c)과 매몰 산화막(32)을 포함하는 전면에 제 2 절연막(42)을 증착하고(도 7c), 전자선 묘화 방법 또는 측벽을 이용한 미세 패터닝 기술을 이용한 식각공정을 수행하여, 채널 불순물 영역과 수직 한 방향으로 소자의 게이트 크기에 해당하는 부분만큼 제 2 절연막(42)을 제거한 후, 식각 공정을 통해 열린 부분에 전자나 정공이 존재할 수 있는 유효 상태 농도보다 높은 농도로 이온 주입하여 채널 영역(33b)에 불순물을 주입한다(도 7d).
- <89> 이 때, P형 채널영역을 형성하는 경우는 P 형 불순물 ( $B$ ,  $BF_2^+$ )을, N형 채널영역을 형성하는 경우는 N형 불순물 ( $As_2^+$ ,  $As$ ,  $P$ )을 주입하게 된다.
- <90> 이 미세 채널 영역(33b)을 사이에 두고 소스/드레인 영역(33a,33c)이 자기 정렬 방식으로 형성된다.
- <91> 그 후, 도 7d 상태에서 채널 영역(33b)의 상부에 게이트 절연막(36b)을 성장시킨다(도 7e).
- <92> 마지막으로, 전면에 게이트 물질을 증착하고, 전면을 에치백(Etch-back)공정 또는 CMP(Chemical Mechanical Polishing) 공정을 수행하여 평탄화시켜, 게이트(37)를 형성시

키면, 본 발명에 따른 제 2 실시예의 음 미분 전도도를 갖는 반도체 소자가 제조된다(도 7f).

<93> 여기서, 도 7d를 참조하여, 절연막(42)에 의해 형성된 함몰 부분의 높이(H)가 게이트의 길이(L)보다 충분히 크다면, 게이트 물질을 아무런 마스크 없이 전면 식각 하더라도, 미리 형성해 놓은 함몰 부분에 자기 정렬된 형태로 게이트 물질을 남길 수 있다.

<94> 전술된 도 7a공정에서 소스/드레인 영역에 불순물(예를 들어 P형 불순물)을 주입할 때, 채널 영역에도 주입되어 채널 영역에는 소스/드레인 영역에 주입된 불순물(P형 불순물)이 남아 있게 된다.

<95> 그러므로, 도 7d공정에서 채널 영역에 불순물(N형 불순물)을 주입할 때, 이미 채널 영역에 잔존하는 불순물(P형 불순물)을 상쇄시키고, 채널 영역을 활성화시킬 수 있는 불순물(N형 불순물) 양을 주입시킨다.

<96> 한편, 본 발명에서는 게이트 정전 용량을 줄이기 위해 채널 영역 주위의 측벽 스페이서 뿐만 아니라, 채널 불순물 영역 형성을 위한 불순물 주입 공정 이전에 또 다른 절연막 측벽 스페이서를 절연막 함몰 패턴 내부에 형성할 수 있다.

<97> 상기와 같은 제조 방법을 거쳐 제조된 소자의 작용을 첨부된 도면을 참조하여 보다 상세히 설명하면 다음과 같다.

<98> 도 8은 본 발명에 따라 P형 채널 영역과 N형 소스/드레인 영역을 가지는 음 미분 전도도를 갖는 반도체 소자에 전압이 인가되지 않은 열평형 상태의 에너지 밴드 다이어그램이다.

- <99> 여기서, 채널 영역이나 소스/드레인 영역은 밴드 갭(G)을 가지는 반도체 물질이고, 채널 영역에는 유효 상태 농도보다 더 많은 캐리어가 주입되어 있어 캐리어가 차 있는 가장 높은 에너지 준위인 페르미 에너지 준위( $E_{fp,c}$ )가 채널 영역의 가전자대 ( $E_{v,c}$ ) 밑으로 위치하여 빈 에너지 상태(V)가 존재한다.
- <100> 도 9a 내지 도 9e는 도 8의 음 미분 전도도를 갖는 반도체 소자가 터널링 소자로서 작용하는 상태의 에너지 밴드 다이어그램으로써, 먼저, 도 9a에 도시된 바와 같이, 게이트 전압이 음 전압인 경우에는 소스 영역의 전자들이 소스 터널 접합(A)을 통과하더라도 채널 영역의 페르미 에너지 준위( $E_{fp,c}$ ) 밑으로는 전자가 이동할 수 없기 때문에 소스 영역의 전자는 터널링하지 못하여, 도 10을 참조하여, 드레인 전류는 흐르지 않는다.
- <101> 그리고, 소스 영역의 페르미 에너지 준위( $E_{fp,s}$ )와 채널 영역의 페르미 에너지 준위( $E_{fp,c}$ )가 서로 같아지도록 게이트 전압(도 10의 게이트 전압 '41')을 인가하면, 소스 영역의 전자는 채널 영역을 관통하여 드레인 영역으로 이동되기 시작하여, 터널링 전류가 흐르기 시작하는 시점이다(도 9b).
- <102> 또한, 채널 영역의 가전자대 밑의 빈 에너지 상태(V)와 터널링 전류가 최대로 흐르는 게이트 전압(도 10의 게이트 전압 '42')일 때, 채널 영역의 페르미 에너지 준위( $E_{fp,c}$ )가 하강한다.
- <103> 따라서, 소스 영역의 전자는 채널 영역을 원활하게 터널링되어, 드레인 영역으로 이동됨으로써, 최대의 드레인 전류가 흐르게 된다(도 9c).
- <104> 도 9d에 도시된 바와 같이, 게이트 전압을 계속 증가시키면(도 10의 게이트 전압 '43'), 소스 영역의 전자들이 모두 금지된 에너지 갭(G)을 바라보게 되고, 열적으로 생

성된 전자들이 에너지를 받아서 채널 영역의 전도대 에너지 밴드를 넘어 드레인 영역으로 이동하게 됨으로, 소스 영역에서 드레인 영역으로 이동되는 전자는 적어져 드레인 전류는 감소된다.

<105>        그 이후, 게이트 전압을 더욱 증가시키면(도 10의 게이트 전압 '44'), MOSFET 동작에 따른 반전층에 모인 전자들에 의해 드레인 전류는 다시 증가되어 흐르게 된다(도 9e).

<106>        도 10은 도 9a 내지 9e와 연계하여 게이트 전압을 증가시켰을 때 나타나는 드레인 전류의 모식도로써, 상기 도 9a 내지 도 9e에서 5가지 게이트 전압에 따른 드레인 전류를 각각 점으로 표시하였다.

<107>        도 11은 본 발명에 따른 음 미분 전도도를 갖는 반도체 소자가 게이트의 길이와 폭을 축소하여 작은 드레인 전압이 인가되었을 때의 에너지 밴드 다이어그램이고, 도 12는 도 11의 소자가 단전자 트랜지스터로 구현되는 모식도로써, 상기의 반도체 소자 구조에서, 채널 영역과 소스/드레인 영역 사이의  $p^+-n^+$  접합이 각각 단전자 트랜지스터의 소스 터널 접합(A)과 드레인 터널 접합(B)의 역할을 하고, 두개의 터널 접합 사이에 존재하는 미세한 채널 영역이 양자점(P)의 역할을 하며, 미세 선폭으로 정의된 게이트와 채널 영역사이에는 게이트 절연막이 존재하여 게이트 정전 용량(C)을 가지면서 게이트로 양자점(P)의 전위를 조절할 수 있다.

<108>        따라서, 본 발명의 반도체 소자는 단전자 트랜지스터의 역할을 수행할 수 있는 장점도 있다.

<109> 더불어, 본 발명에 따른 음미분 전도도를 갖는 반도체 소자는 소스/드레인과 채널 사이의 접합을 터널 접합으로 이용함으로써, 실제 게이트 길이 보다 저 더 작은 채널 영역을 형성할 수 있으며, 실리콘의 경우 접합에서 자연적으로 발생하는 공핍 영역 폭으로 인해 더 작은 양자점을 형성할 수 있고, 이를 통해 단전자 트랜지스터의 동작 온도를 향상시킬 수 있는 장점도 있다.

<110> 도 13은 본 발명에 따른 음 미분 전도도를 갖는 반도체 소자의 게이트 전압에 대한 드레인 전류의 특성을 측정한 그래프로써, P형 채널 불순물 영역과 N 형 소스/드레인 영역을 가지는 소자를 실제 제작한 후, 상온(300K)에서의 20V의 백게이트 전압( $V_{BG}$ )을 인가하여, 게이트 전압을 증가시켰을 때, 드레인 전류는 증가하다가 어느 게이트 전압에서 감소하는 음미분 전도도 특성을 나타내었다.

#### 【발명의 효과】

<111> 이상에서 상세히 설명한 바와 같이 본 발명은 높은 불순물 농도를 갖는 채널 영역과 수십 nm로 줄일 수 있는 채널 길이 및 폭을 가지는 구조를 구현함으로써, 동일 소자 구조내에서 인가 전압에 따라 터널링 소자를 구현할 수 있으며, 상온에서 음 미분 전도도 특성을 갖는 반도체 소자를 구현할 수 있어, 전압에 따라 온(On)/오프(Off)할 수 있는 소자를 사용하는 SRAM 또는 로직 디바이스에 적용할 수 있는 효과가 있다.

<112> 더불어, 본 발명의 제조방법은 소자의 축소화가 용이하고, 공정의 재현성과 양산성을 확보할 수 있으며, 이와 동시에 게이트, 소스/드레인 및 채널 영역이 자기 정렬되어 형성됨으로, 게이트 피치 또한 줄일 수 있는 효과가 발생한다.

<113>        게다가, 본 발명에 의해 제조된 반도체 소자는 채널 부분을 양자점으로 하고, 소스/드레인과 채널 사이에 존재하는 두 개의 p<sup>+</sup>-n<sup>+</sup> 접합을 터널링 장벽으로 이용하여, 단전자 트랜지스터의 특성도 구현할 수 있는 효과도 발생한다.

<114>        본 발명은 구체적인 예에 대해서만 상세히 설명되었지만 본 발명의 기술사상 범위 내에서 다양한 변형 및 수정이 가능함은 당업자에게 있어서 명백한 것이며, 이러한 변형 및 수정이 첨부된 특허청구범위에 속함은 당연한 것이다.



**【특허청구범위】****【청구항 1】**

실리콘 지지대, 매몰 산화막과 단결정 실리콘층이 순차적으로 이루어진 SOI(Silicon on Insulator)기판의 단결정 실리콘층을 식각하여 각각 이격된 소스 영역과 드레인 영역을 형성하고, 상기 소스 및 드레인 영역과 각각 연결된 미세 선폭을 가지는 채널 영역을 형성하는 제 1 단계와;

상기 소스 영역, 채널 영역과 드레인 영역의 상부에 전자 또는 정공이 존재할 수 있는 유효 상태 농도보다 높은 농도로 이온 주입하여 채널 영역에 불순물을 주입하는 제 2 단계와;

상기 소스 영역, 채널 영역, 드레인 영역과 매몰 산화막의 상부에 제 1 절연막을 형성하고 식각하여 상기 소스영역, 채널 영역 및 드레인 영역의 측면에 측벽 스페이서를 형성하고, 상기 소스 영역, 채널 영역, 드레인 영역과 측벽 스페이서를 포함하는 전면에 제 2 절연막을 형성하여, 채널 영역 상부에 게이트 절연막을 형성하는 제 3 단계와;

상기 제 2 절연막의 상부를 포함하는 전면에 게이트 물질을 증착하고, 상기 증착된 게이트 물질을 식각하여 채널 영역과 수직한 방향으로 미세 선폭을 가지는 게이트를 형성하는 제 4 단계와;

상기 소스 영역과 드레인 영역에 상기 제 2 단계의 불순물과 반대의 극성의 불순물 이온을 주입하는 제 5 단계로 구성된 음미분 전도도를 갖는 반도체 소자의 제조방법.

**【청구항 2】**

제 1 항에 있어서,

상기 제 2 단계의 불순물은 P형 불순물이고, 제 5 단계의 불순물은 N형 불순물인 것을 특징으로 하는 음미분 전도도를 갖는 반도체 소자의 제조방법.

**【청구항 3】**

제 1 항에 있어서,

상기 제 2 단계의 불순물은 N형 불순물이고, 제 5 단계의 불순물은 P형 불순물인 것을 특징으로 하는 음미분 전도도를 갖는 반도체 소자의 제조방법.

**【청구항 4】**

제 2 항 또는 제 3 항에 있어서,

상기 P 형 불순물은 B,  $\text{BF}_2^+$ 와 In 중 선택된 어느 하나이고, 상기 N형 불순물은  $\text{As}_2^+$ , As와 P 중 선택된 어느 하나인 것을 특징으로 하는 음미분 전도도를 갖는 반도체 소자의 제조방법.

**【청구항 5】**

제 1 항에 있어서,

상기 제 1 단계에서 단결정 실리콘의 식각과 제 4 단계에서 게이트 물질의 식각은 전자선 묘화 방법 또는 측벽을 이용한 미세 패터닝 기술로 식각하는 것을 특징으로 하는 음미분 전도도를 갖는 반도체 소자의 제조방법.

**【청구항 6】**

제 1 항에 있어서,

상기 제 4 단계의 게이트 물질은 다결정 또는 비정질 실리콘인 것을 특징으로 하는 음미분 전도도를 갖는 반도체 소자의 제조방법.

**【청구항 7】**

제 1 항에 있어서,

상기 제 4 단계와 제 5 단계의 사이에,

상기 소스 영역, 게이트, 드레인 영역과 매몰 산화막이 포함하는 전면을 덮도록 절연막을 형성하고, 상기 절연막을 식각하여, 게이트 측면에 측벽 스페이서를 형성하는 단계가 더 구비된 것을 특징으로 하는 음미분 전도도를 갖는 반도체 소자의 제조방법.

**【청구항 8】**

제 1 항에 있어서,

상기 절연막은  $\text{SiO}_2$ ,  $\text{SiN}$ 과  $\text{N}_2\text{O}$  중 선택된 어느 하나 인 것을 특징으로 하는 음미분 전도도를 갖는 반도체 소자의 제조방법.

**【청구항 9】**

실리콘 지지대, 매몰 산화막과 단결정 실리콘층이 순차적으로 이루어진

SOI(Silicon on Insulator)기판의 단결정 실리콘층을 식각하여 각각 이격된 소스 영역과 드레인 영역을 형성하고, 상기 소스 및 드레인 영역과 각각 연결된 미세 선폭을 가지는 채널 영역을 형성하는 제 1 단계와;

상기 소스 영역, 채널 영역과 드레인 영역의 상부에 전자 또는 정공이 존재할 수 있는 유효 상태 농도보다 높은 농도로 이온 주입하여 소스 및 드레인 영역에 불순물을 주입하는 제 2 단계와;

상기 소스 영역, 채널 영역, 드레인 영역과 매몰 산화막의 상부에 제 1 절연막을 형성하고 식각하여 상기 소스 영역, 채널 영역 및 드레인 영역의 측면을 감싸 채널 영역 측면에 측벽 스페이서를 형성하는 제 3 단계와;

상기 소스 영역, 채널 영역, 드레인 영역, 제 1 절연막과 매몰 산화막의 상부를 포함하는 전면에 제 2 절연막을 증착하고, 상기 채널 영역과 수직한 방향으로 상기 제 2 절연막을 식각하여 상기 채널 영역을 노출시키는 제 4 단계와;

상기 제 2 단계의 불순물과 반대의 극성의 불순물 이온을 유효 상태 농도보다 높은 농도로 상기 채널 영역에 주입하는 제 5 단계와;

상기 채널 영역의 상부에 게이트 절연막을 형성하고, 상기 채널 영역과 게이트 절연막의 상부에 게이트 물질을 증착하여, 게이트를 형성하는 제 6 단계로 구성된 음미분 전도도를 갖는 반도체 소자의 제조방법.

#### 【청구항 10】

제 9 항에 있어서,

상기 제 6 단계에는, 게이트 물질을 증착한 후에, 증착된 게이트 물질을 평탄화시키는 공정이 포함된 것을 특징으로 하는 음미분 전도도를 갖는 반도체 소자의 제조방법.

#### 【청구항 11】

제 10 항에 있어서,

상기 증착된 게이트 물질을 평탄화시키는 공정은 에치백(Etch-back) 공정 또는 CMP(Chemical Mechanical Polishing) 공정인 것을 특징으로 하는 음미분 전도도를 갖는 반도체 소자의 제조방법.

**【청구항 12】**

제 9 항에 있어서,

상기 제 1과 2 절연막은  $\text{SiO}_2$ , SIN과  $\text{N}_2\text{O}$  중 선택된 어느 하나 인 것을 특징으로 하는 음미분 전도도를 갖는 반도체 소자의 제조방법.

**【청구항 13】**

제 9 항에 있어서,

상기 제 1 단계에서 단결정 실리콘의 식각과 제 6 단계에서 게이트 물질의 식각은 전자선 묘화 방법 또는 측벽을 이용한 미세 패터닝 기술로 식각하는 것을 특징으로 하는 음미분 전도도를 갖는 반도체 소자의 제조방법.

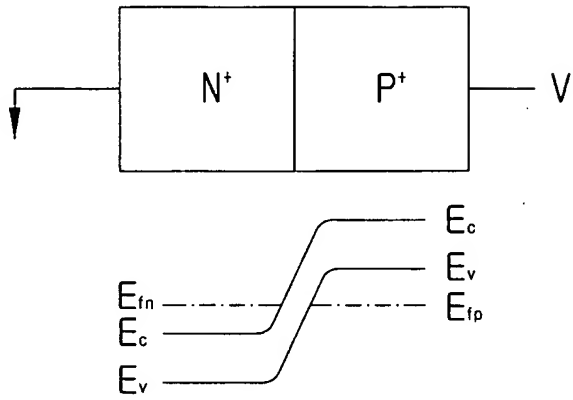
**【청구항 14】**

제 9 항에 있어서,

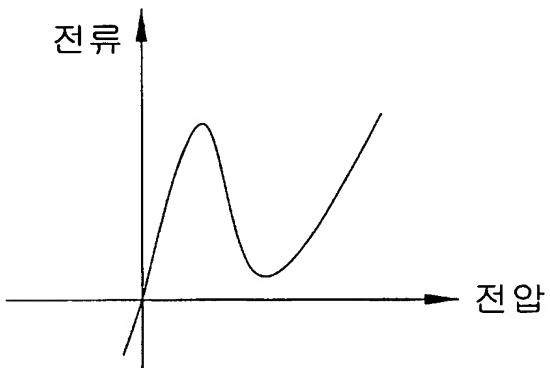
상기 제 6 단계의 게이트 물질은 다결정 또는 비정질 실리콘인 것을 특징으로 하는 음미분 전도도를 갖는 반도체 소자의 제조방법.

## 【도면】

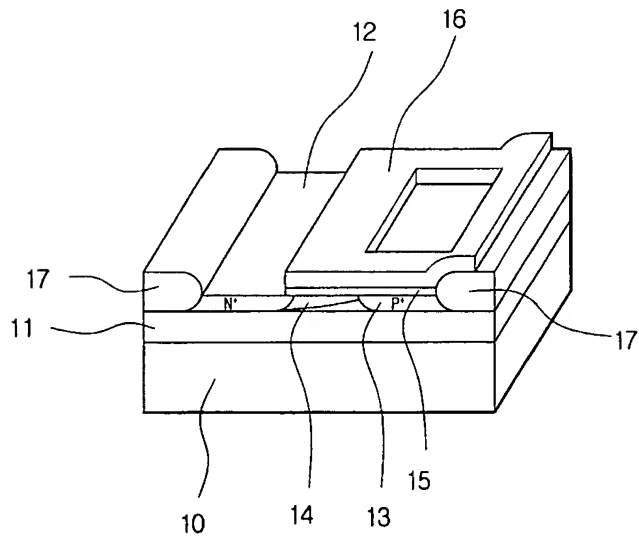
【도 1】



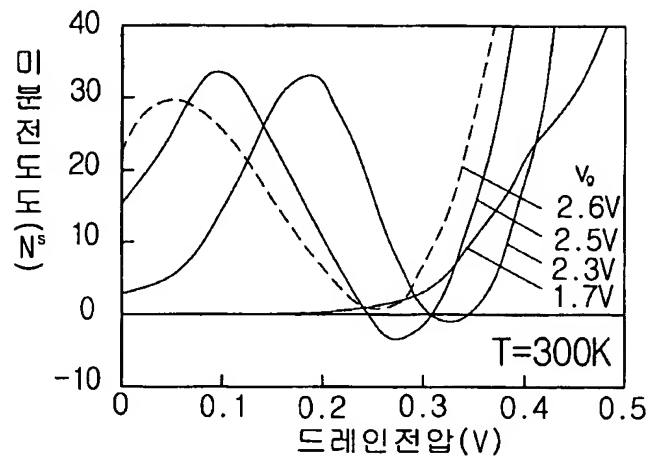
【도 2】



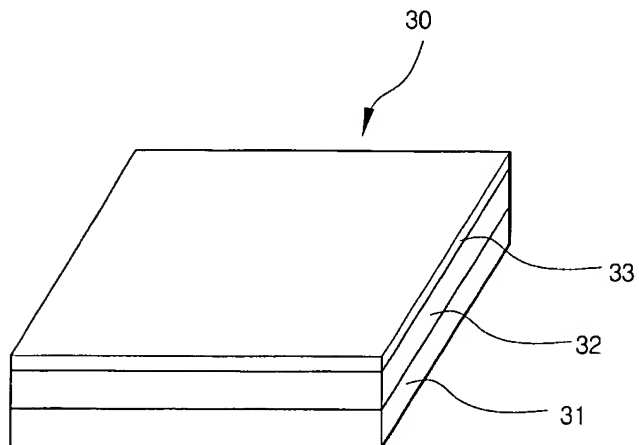
【도 3】



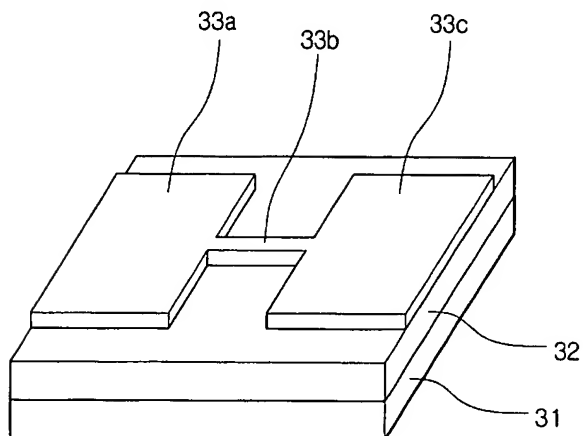
【도 4】



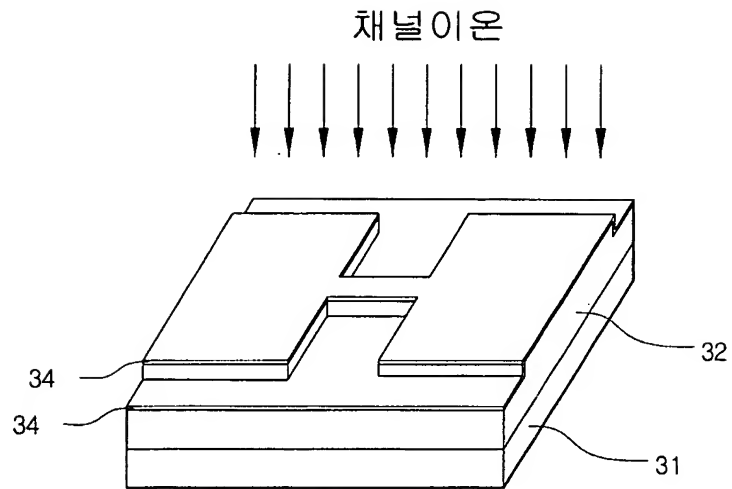
【도 5a】



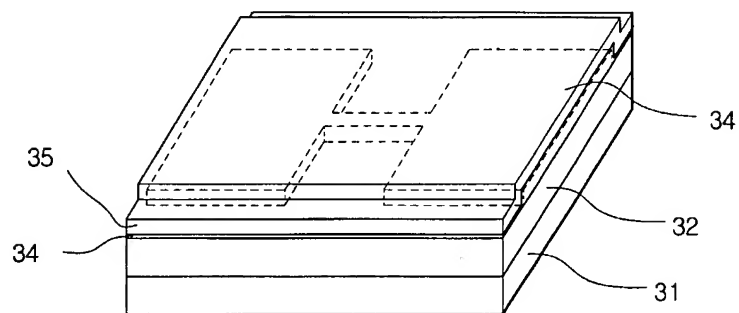
【도 5b】



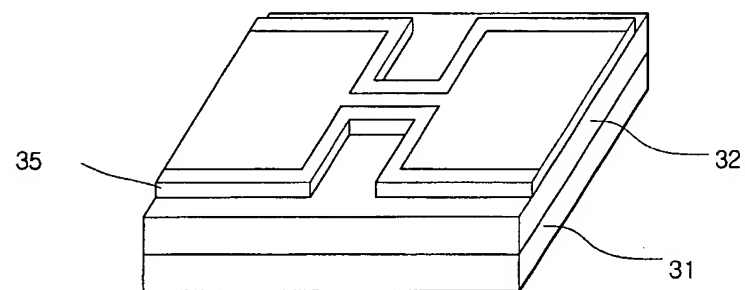
【도 5c】



【도 5d】

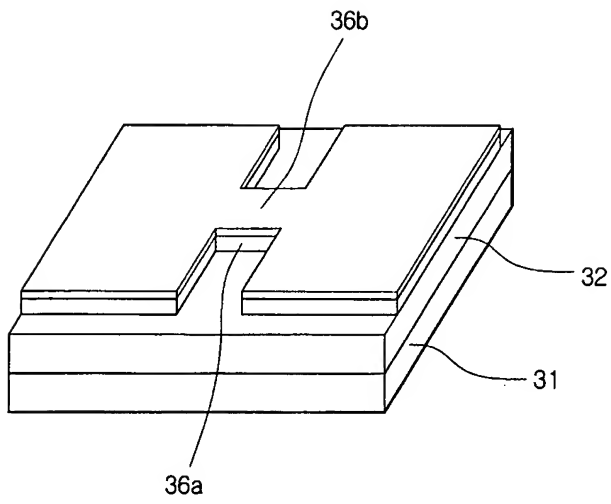


【도 5e】

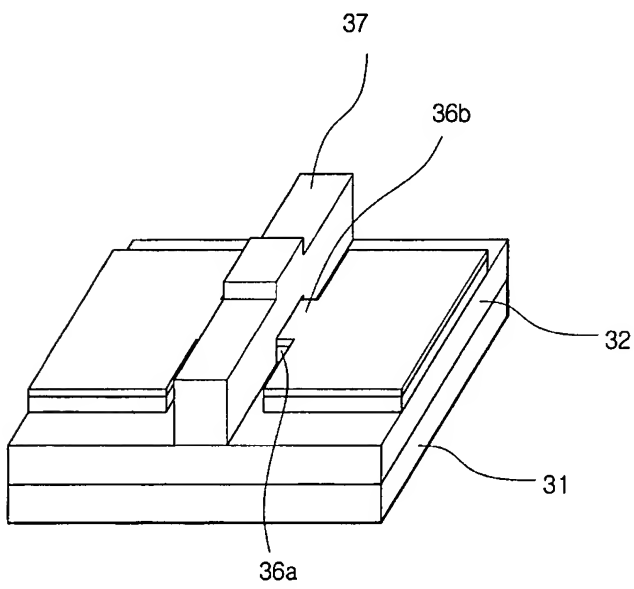




【도 5f】

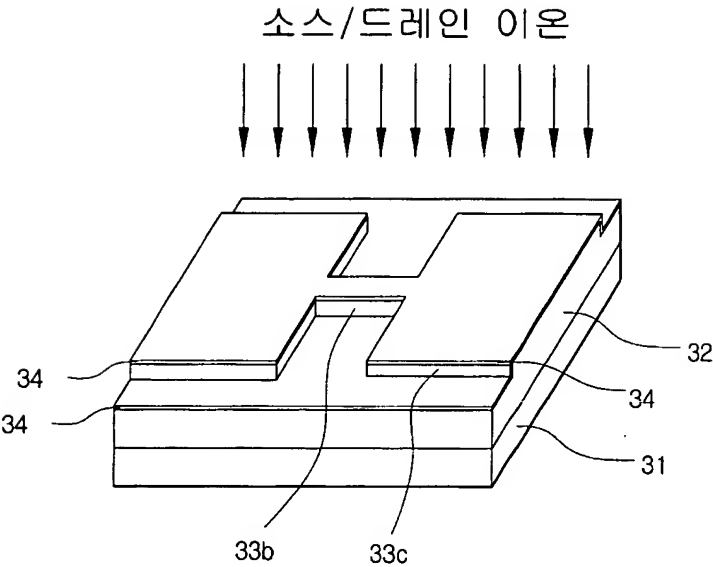


【도 5g】

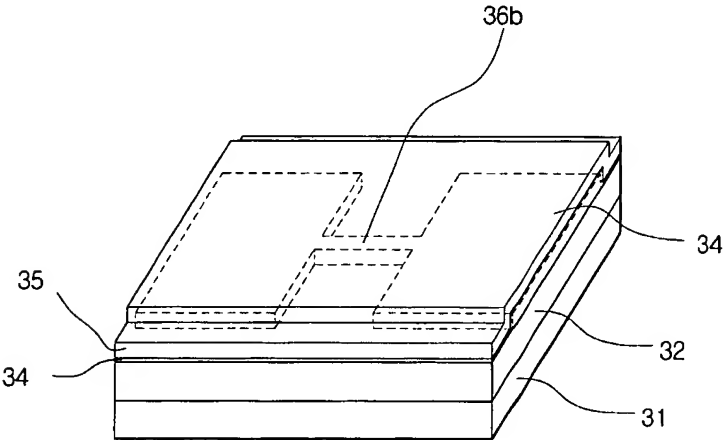




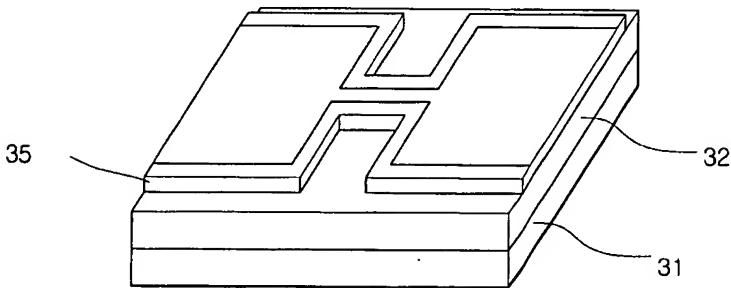
【도 7a】



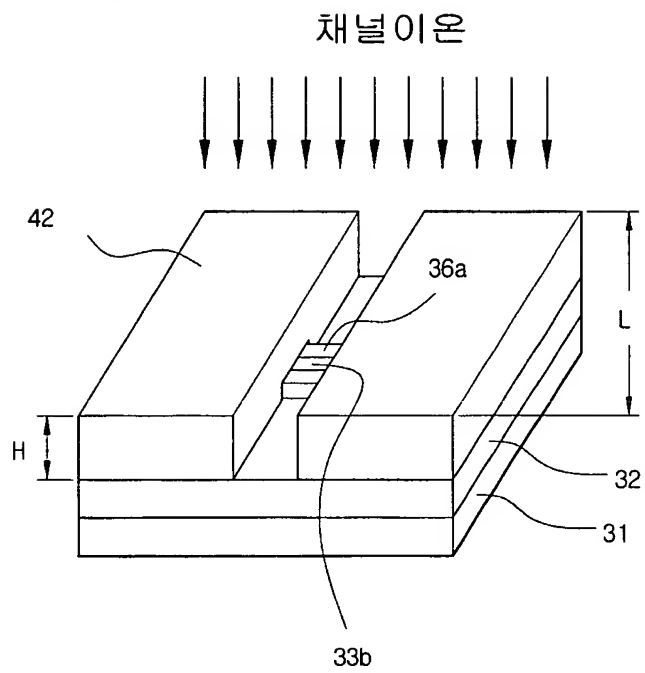
【도 7b】



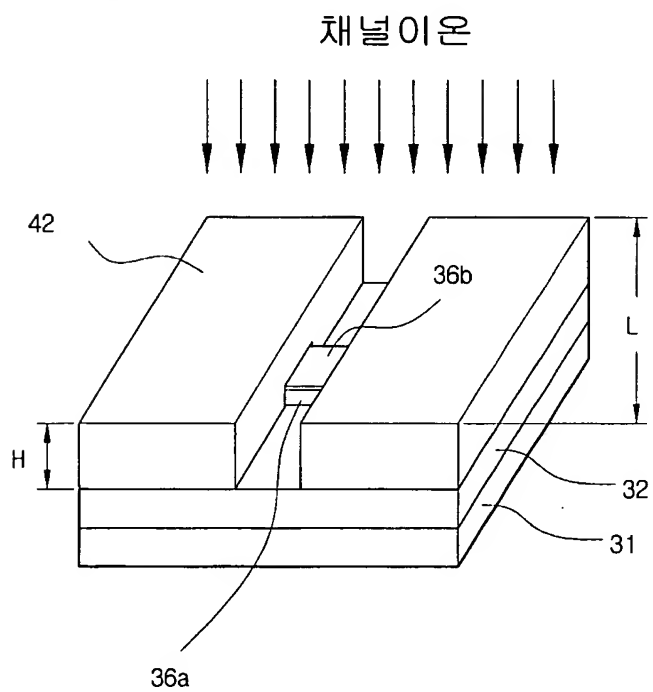
【도 7c】



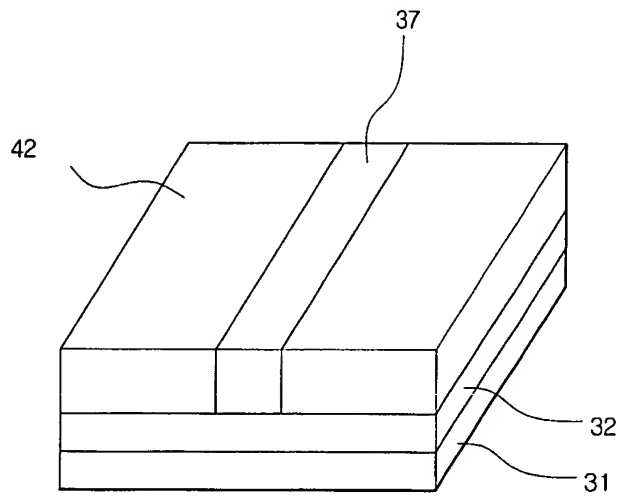
【도 7d】



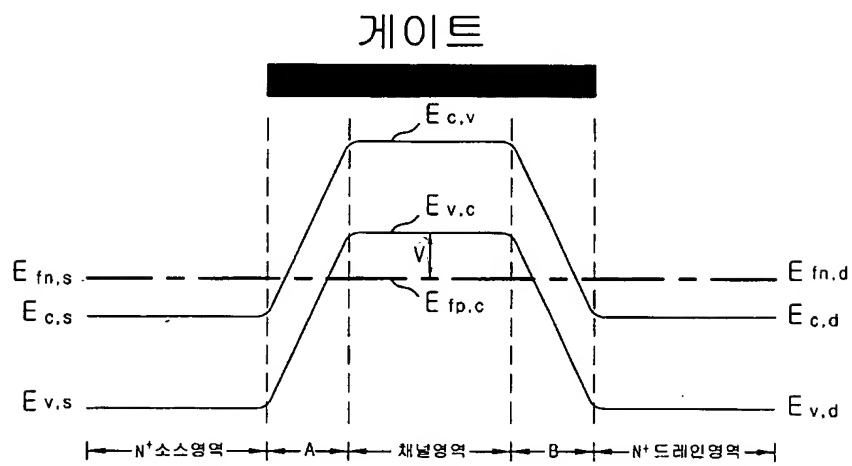
【도 7e】



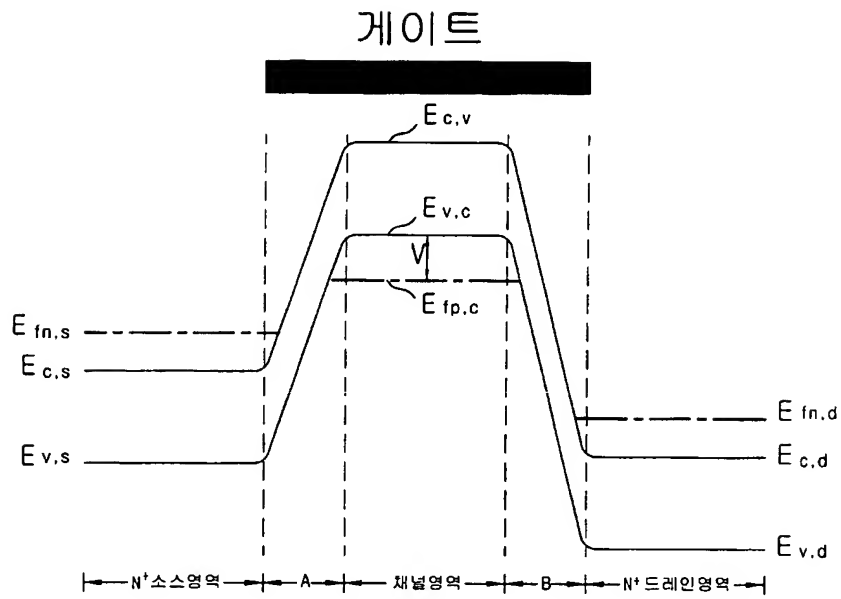
【도 7f】



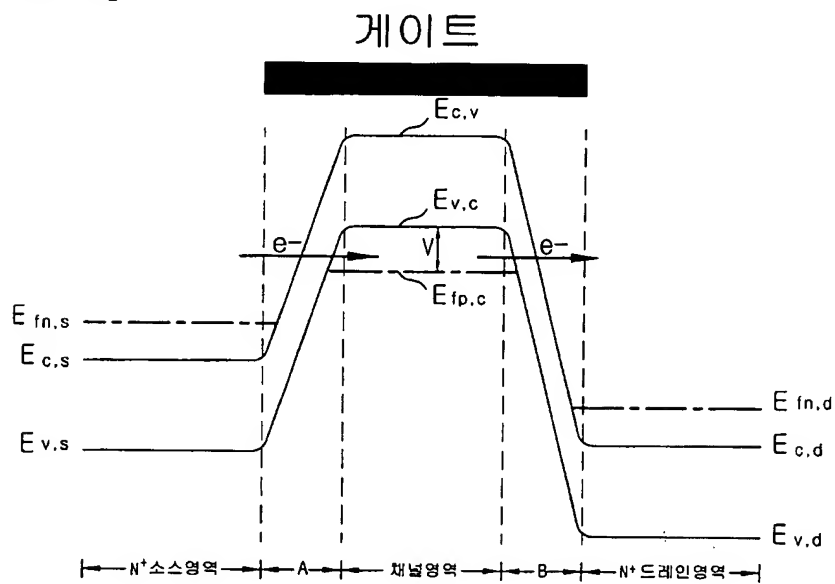
【도 8】



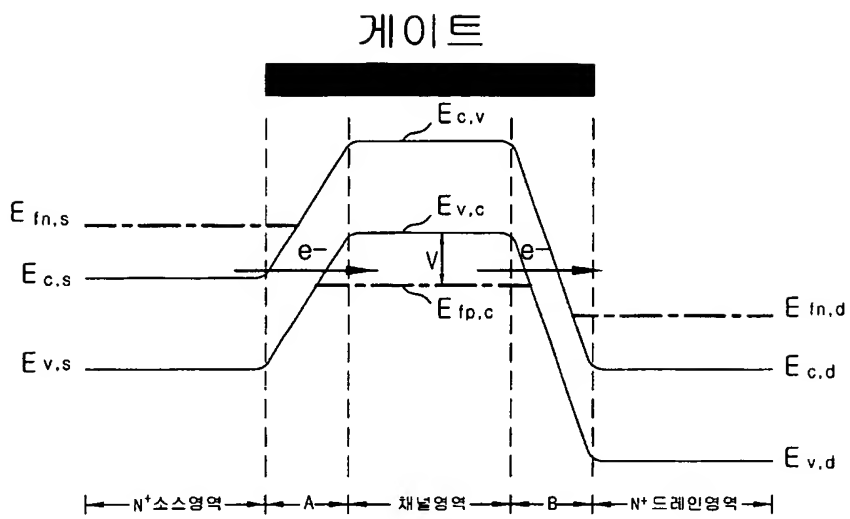
【도 9a】



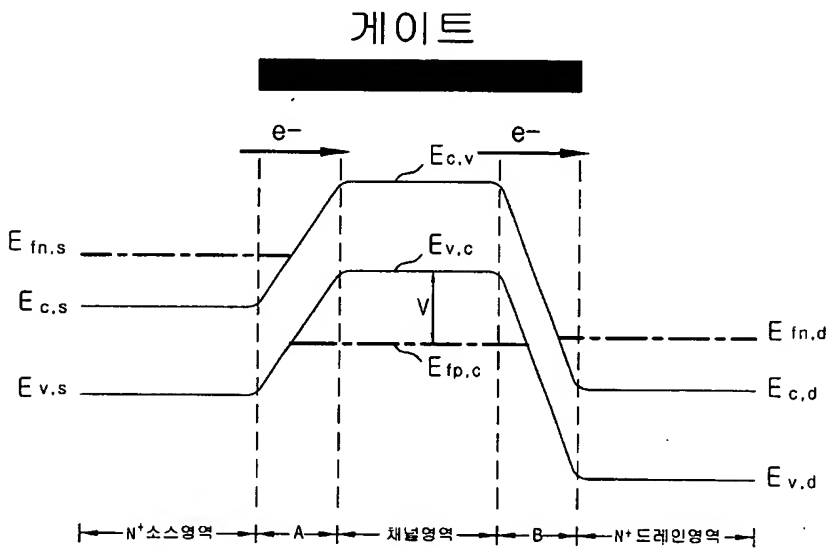
【도 9b】



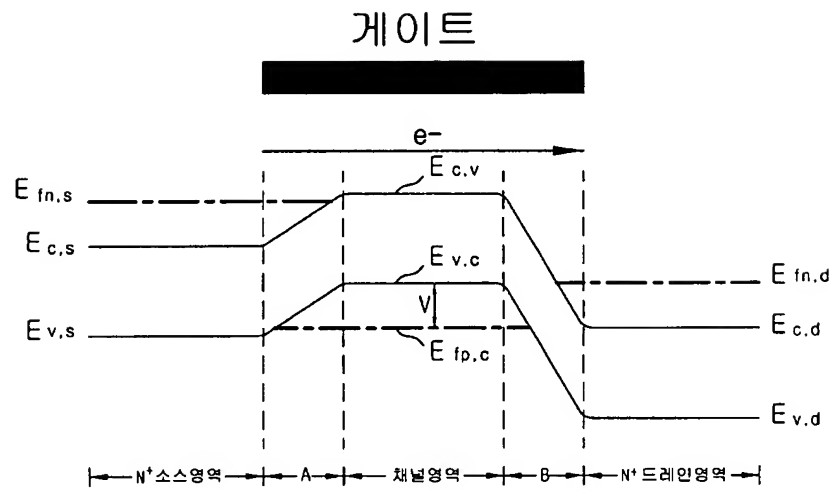
【도 9c】



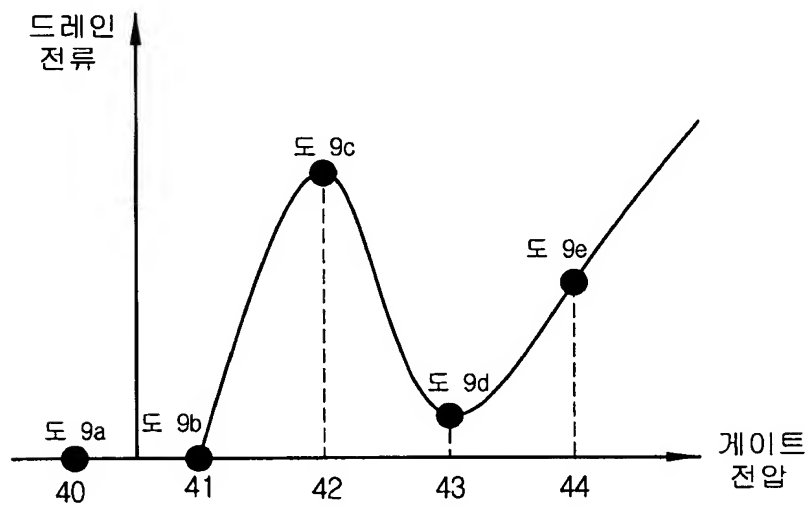
【도 9d】



【도 9e】

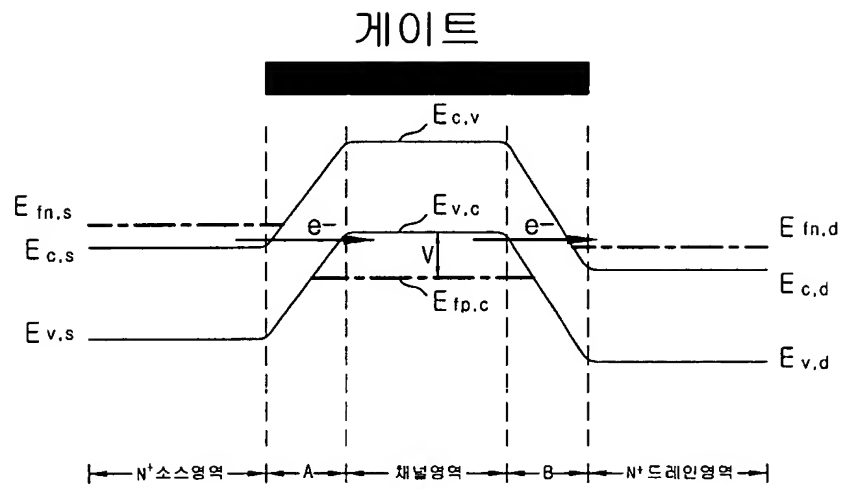


【도 10】

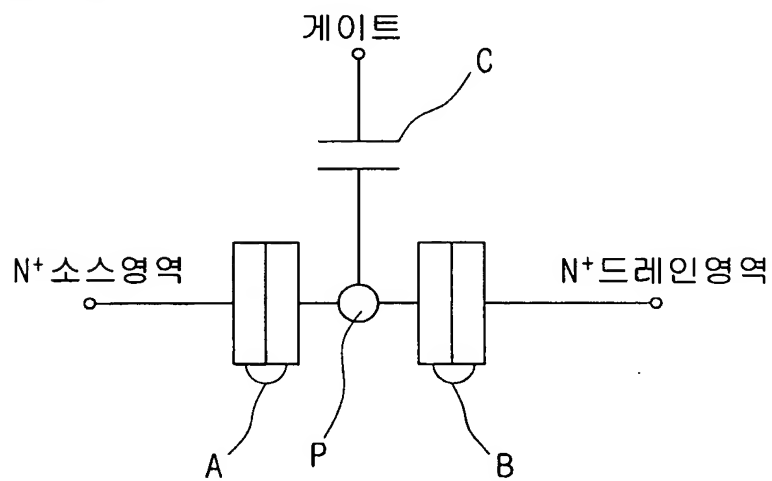




【도 11】



【도 12】



【도 13】

